



①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Off nlegungsschrift
⑩ DE 44 24 952 A 1

⑥① Int. Cl.®:
G 11 C 11/402

②① Aktenzeichen: P 44 24 952.7
②② Anmeldetag: 14. 7. 94
④③ Offenlegungstag: 9. 3. 95

17497 U.S.P.T.O.
10/761127



012004

DE 44 24 952 A 1

③⑩ Unionspriorität: ③② ③③ ③①
14.07.93 KR 13278/93

⑦① Anmelder:
Samsung Electronics Co., Ltd., Suwon, KR

⑦④ Vertreter:
Grünecker, A., Dipl.-Ing.; Kinkeldey, H., Dipl.-Ing.
Dr.-Ing.; Stockmair, W., Dipl.-Ing. Dr.-Ing. Ae.E. Cal
Tech; Schumann, K., Dipl.-Phys. Dr.rer.nat.; Jakob,
P., Dipl.-Ing.; Bezold, G., Dipl.-Chem. Dr.rer.nat.;
Meister, W., Dipl.-Ing.; Hilgers, H., Dipl.-Ing.;
Meyer-Plath, H., Dipl.-Ing. Dr.-Ing.; Ehnold, A.,
Dipl.-Ing.; Schuster, T., Dipl.-Phys.; Goldbach, K.,
Dipl.-Ing.Dr.-Ing.; Aufenanger, M., Dipl.-Ing.;
Klitzsch, G., Dipl.-Ing.; Vogelsang-Wenke, H.,
Dipl.-Chem. Dipl.-Biol.Univ. Dr.rer.nat., Pat.-Anwälte,
80538 München

⑦② Erfinder:
Cha, Gi-Won, Suwon, KR

⑥④ Schaltkreis zum Steuern einer Selbstauffrisch-Periode in einer Halbleiterspeichereinrichtung

⑤⑦ Ein Schaltkreis steuert die Periode eines Selbstauffrisch-
vorgangs in einer Halbleiterspeichereinrichtung. Die Schal-
tung umfaßt eine Impulserzeugungseinrichtung zum Ausge-
ben eines vorbestimmten periodischen Impulszuges im
Ansprechen auf ein externes Steuersignal; eine Frequenzteil-
lungseinrichtung zum Ausgeben einer Anzahl von Impulszü-
gen mit untereinander unterschiedlichen Perioden durch
Frequenzteilen des Impulszuges, der von der Impulserzeu-
gungseinrichtung ausgegeben wird; wenigstens eine Tempe-
raturerfassungseinrichtung zum Ausgeben eines Tempe-
raturerfassungssignals durch Erfassen, daß die Umgebungs-
temperatur der Speichereinrichtung einen vorbestimmten
Pegel erreicht; wenigstens eine Spannungserfassungsein-
richtung zum Ausgeben eines Spannungserfassungssignals
durch Erfassen, daß die an die Speichereinrichtung angeleg-
te Versorgungsspannung einen vorbestimmten Pegel er-
reicht; eine Erzeugungseinrichtung zum Ausgeben einer
Anzahl von Kombinationsimpulszügen durch Kombinieren
der Impulszüge, welche von der Frequenzteilungseinrichtung
ausgegeben werden, und eine Impulsauswahleinrichtung
zum Ausgeben eines Selbstauffrisch-Haupttakts durch Aus-
wählen einen der Kombinationsimpulszüge nach Maßgabe
des Spannungserfassungssignals und des Temperaturerfas-
sungssignals.

DE 44 24 952 A 1

Beschreibung

Die vorliegende Erfindung bezieht sich auf eine Halbleiterspeichereinrichtung und insbesondere auf einen Schaltkreis zum Steuern einer Selbstaufrisch-Periode, um die Periode einer Selbstaufrischoperation in einer Halbleiterspeichereinrichtung zu bestimmen.

Im allgemeinen sollte die Auffrischoperation kontinuierlich im Stand-by-Modus einer Speichereinrichtung durchgeführt werden, was von der Auffrischoperation erfordert, daß die Daten in einer Speicherzelle eines DRAM (Dynamic Random Access Memory) gespeichert bleiben. Die Auffrischoperation dafür wird "Selbstaufrischoperation" genannt. Kürzlich wurde die Versorgungsspannung einer Speichereinrichtung verringert, so daß deren Stromverbrauch reduziert werden mußte. Deshalb sollte die Selbstaufrischoperation mit minimalem Stromverbrauch durchgeführt werden. Um den Stromverbrauch für die Selbstaufrischoperation zu verringern, ist es wünschenswert, die Selbstaufrischoperation mit der längsten Periode durchzuführen, die möglich ist, um die Zeitdauer zum Aufrechterhalten von Daten in der Speicherzelle der Speichereinrichtung einzuhalten. Aufgrund dieser Tatsache wird eine Steuerschaltung für die Selbstaufrischoperation weitgehend verwendet, welche die Periode der Auffrischoperation mit einem optimalen Wert programmieren kann. Die Periode der Selbstaufrischoperation wird bestimmt durch Auswählen eines Impulszuges, welcher die längste Periode besitzt, um eine Datenhaltezeitdauer einzuhalten unter einer Anzahl von Impulszügen, die von einem Timer als Haupttaktquelle ausgegeben werden, nachdem die Datenhaltezeitdauer der Speicherzelle in der Speichereinrichtung gemessen worden ist. Ein bevorzugtes Ausführungsbeispiel einer solchen Schaltung ist im Detail in der Koreanischen Patentanmeldung Nr. 93-10315 des gleichen Anmelders offenbart.

Im allgemeinen ist die Datenhaltefähigkeit einer Speicherzelle eng mit dem Pegel der Versorgungsspannung und der Umgebungstemperatur verbunden. Das heißt, wenn die Versorgungsspannung erniedrigt wird oder die Umgebungstemperatur ansteigt, verschlechtert dies die Datenhaltefähigkeit der Speicherzelle. Daher sollte eine Auffrischoperation öfter ausgeführt werden, wenn die Versorgungsspannung niedrig ist. Darüber hinaus sollte die Auffrischoperation öfter ausgeführt werden, wenn die Umgebungstemperatur hoch ist. Die Steuerschaltung zum Steuern der Selbstaufrischoperation, dessen Periode veränderlich gemäß der Veränderung der Umgebungstemperatur ist, ist auf den Seiten 43 und 44 der Veröffentlichung mit dem Titel "SYPOSIUM ON VLSI CIRCUITS DIGEST OF TECHNICAL PAPERS" offenbart, die 1993 veröffentlicht wurde. Bei diesem Stand der Technik wird die Veränderung der Umgebungstemperatur erfaßt unter Verwendung eines Widerstands aus Polysilicium und eines Grabenwiderstandes, welche verschiedene Widerstands-Temperaturkoeffizienten aufweisen und eines differentiellen Verstärkers, der in der Lage ist, die Spannungsdifferenz zu messen, welche zwischen dem Widerstand aus Polysilicium und dem Grabenwiderstand erzeugt wird. Weiterhin wird aufgrund der oben erwähnten Tatsache die Periode der Selbstaufrischoperation gesteuert durch Auswählen einen der Timer, welche vorgegebene verschiedene Periodenimpulszüge ausgeben, die für den Pegel der Umgebungstemperatur geeignet sind.

Sogar wenn die herkömmliche Steuerschaltung die Periode der Auffrischoperation in Abhängigkeit von der Umgebungstemperatur der Speichereinrichtung steuert, kann die Schaltung nicht die Periode der Auffrischoperation steuern, um einer Änderung der von der Speichereinrichtung erzeugten Versorgungsspannung zu begegnen.

Zusätzlich besitzt die herkömmliche Steuerschaltung für die Selbstaufrischperiode das Problem, daß es schwierig zu erreichen ist, daß die Haupttaktquelle eine Periode besitzt, welche sich der Datenhaltezeit der Speicherzelle annähert. Das heißt, nachdem die herkömmliche Timerschaltung eine Anzahl von Impulszügen erzeugt, welche unterschiedliche Perioden aufweisen, (z. B. 2 μ s, 4 μ s, ... 128 μ s, 256 μ s) durch Teilen der Frequenz des Ausgangsimpulszuges eines Oszillators, wählt die Timerschaltung einen der Impulszüge als die Selbstaufrischtaktquelle aus. Nachdem jeder Impulszug die Beziehung der Frequenzteilung besitzt, kann die Timerschaltung nicht einen bestimmten Impulszug auswählen, welcher eine geeignete Periode zwischen irgendeiner Periode und der nächsten Periode (z. B. zwischen 128 μ s und 256 μ s) besitzt, um sie als Haupttaktquelle zu verwenden. Darüber hinaus ist selbst dann, wenn eine bestimmte Periode als Haupttaktquelle gewählt werden kann, um den Impulszug mit einer geeigneten Periode zu erhalten, eine komplizierte Timerschaltung erforderlich bei den herkömmlichen Schaltungen.

Es ist daher eine Aufgabe der vorliegenden Erfindung, eine Steuerschaltung für die Periode einer Selbstaufrischoperation in einer Halbleiterspeichereinrichtung anzugeben, welche den Stromverbrauch reduziert durch das Optimieren der Periode der Selbstaufrischoperation.

Eine weitere Aufgabe der vorliegenden Erfindung ist es, eine Steuerschaltung für die Periode einer Selbstaufrischoperation in einer Halbleiterspeichereinrichtung anzugeben, bei der die Periode der Selbstaufrischoperation automatisch verändert wird, wenn sich die Umgebungstemperatur der Speichereinrichtung und die daran angelegte Versorgungsspannung ändert.

Ein weiteres Ziel der vorliegenden Erfindung ist es, eine Steuerschaltung für die Periode einer Selbstaufrischoperation in einer Halbleiterspeichereinrichtung anzugeben, die es ermöglicht die Periode der Auffrischoperation so zu optimieren, daß sie sich der Datenhaltezeitdauer der Speicherzelle annähert.

Diese Aufgabe wird gemäß der vorliegenden Erfindung von einer Steuerschaltung für die Periode der Selbstaufrischoperation gelöst, welche umfaßt:
 eine Impulserzeugungseinrichtung zum Ausgeben eines vorbestimmt n periodischen Impulszuges im Ansprechen auf ein externes Steuersignal;
 eine Frequenzteilungseinrichtung zum Ausgeben einer Anzahl von Impulszügen mit untereinander unterschiedlichen Perioden durch Frequenzteilen des Impulszuges, der von der Impulserzeugungseinrichtung ausgegeben wird,
 wenigstens eine Temperaturerfassungseinrichtung zum Ausgeben eines Temperaturerfassungssignals durch

Erfassen, daß die Umgebungstemperatur der Speichereinrichtung einen vorbestimmten Pegel erreicht; eine Erzeugungseinrichtung zum Ausgeben einer Anzahl von Kombinationsimpulszügen durch Kombinieren der Impulszüge, welche von der Frequenzteilungseinrichtung ausgegeben werden; und eine Impulsauswahleinrichtung zum Ausgeben eines Selbstaufrisch-Haupttakts durch Auswählen einer der Kombinationsimpulszüge nach Maßgabe des Spannungserfassungssignals und des Temperaturerfassungssignals.

Die oben angegebenen Aufgaben, Vorteile und Merkmale der vorliegenden Erfindung werden noch deutlicher von der folgenden Beschreibung eines bevorzugten Ausführungsbeispiels anhand der beigefügten Zeichnungen, worin:

Fig. 1 eine schematische Ansicht in Blockdiagrammform ist, welches eine Steuerschaltung für die Periode einer Selbstaufrischoperation gemäß der vorliegenden Erfindung zeigt;

Fig. 2 eine detaillierte Schaltung ist, welche einen CBR-Modusdetektor zeigt, welcher in Fig. 1 erkennbar ist;

Fig. 3 besteht aus Fig. 3A und 3B, von denen Fig. 3A eine detaillierte Schaltung zeigt, in der ein Spannungsdetektor gezeigt ist und Fig. 3B eine detaillierte Schaltung zeigt, in welcher ein Temperaturdetektor der Fig. 1 gezeigt ist;

Fig. 4 besteht aus Fig. 4A bis 4C, von denen Fig. 4A eine detaillierte Schaltungsansicht eines Impulsauswählers zeigt, Fig. 4b eine detaillierte Schaltungsansicht eines Selbstaufrisch-Signalgenerators ist, und Fig. 4C eine detaillierte Schaltungsansicht ist, die einen Haupttaktgenerator der Fig. 1 zeigt;

Fig. 5 eine detaillierte Schaltungsansicht eines in Fig. 1 gezeigten Signalgenerators zur Erzeugung eines Selbstaufrischfreigabesignals ist;

Fig. 6 eine detaillierte Schaltungsansicht eines Generators für ein Reset-Signal ist, welcher in Fig. 1 gezeigt ist; und

Fig. 7 ein Betriebszeitablaufdiagramm der Fig. 1 ist.

In der folgenden Beschreibung werden jeder detaillierte Schaltkreis, spezifische Daten, die Anzahl der Impulszüge und jede Periode von Impulszügen verwendet, um ein besseres Verständnis des Ausführungsbeispiels der vorliegenden Erfindung zu erreichen. Jedoch ist es für den Fachmann klar, daß die vorliegende Erfindung auch ohne spezifische und detaillierte Offenbarung der Elemente ausführbar ist.

Unter dem Begriff "Speicherzelle", welcher in der vorliegenden Erfindung verwendet wird, bedeutet eine dynamische Speicherzelle, bestehend aus einem Transistor und einem Kondensator, wie dies bekannt ist. Weiterhin repräsentiert der Grabenwiderstand einen Schichtwiderstand eines Grabenbereichs, der auf einem Halbleitersubstrat ausgebildet ist. Ebenso repräsentiert ein polykristallines Silicium-Widerstand (im folgenden kurz "Polysilicium" genannt) den Schichtwiderstand einer fast aus Polysilicium, die auf Halbleitersubstrat ausgebildet ist.

Bezugnehmend auf Fig. 1 umfaßt eine Steuerschaltung für eine Selbstaufrischperiode gemäß der vorliegenden Erfindung einen Erfassungsschaltkreis 10 für den CBR-Modus ($\overline{\text{CAS}}$ vor $\overline{\text{RAS}}$ -Modus) zum Ausgeben eines Timertreibersignals $\Phi_{T_{\text{mon}}}$, um den Timer freizugeben, damit dieser auf ein inverses Zeilenadreibpulssignal $\overline{\text{RAS}}$ und ein inverses Spaltenadreibpulssignal $\overline{\text{CAS}}$ antworten kann. Die Steuerschaltung umfaßt weiterhin einen Impulszugerzeugungsschaltkreis 12 zum Ausgeben einer Anzahl von Impulszügen Q_0-Q_N , welche verschiedene Perioden untereinander aufweisen und auf das Timertreibersignal $\Phi_{T_{\text{mon}}}$ ansprechen, einen Temperatur- und Spannungserfassungsschaltkreis 14 zum Ausgeben eines Temperaturerfassungssignals $\Phi_{T_{\text{det}}}$ durch Erfassen, daß die Umgebungstemperatur der Speichereinrichtung einen vorbestimmten Pegel erreicht und zum Ausgeben eines Spannungserfassungssignals $\Phi_{V_{\text{det}}}$ durch Erfassen, daß die Versorgungsspannung, welche an die Speichereinrichtung angelegt wird, einen vorbestimmten Pegel erreicht. Weiter umfaßt die Steuerschaltung eine Erzeugungsschaltung 16 für den Haupttakt zum Erzeugen von neuen periodischen kombinierten Impulszügen durch Kombinieren der Ausgangsimpulszüge des Impulszugerzeugungsschaltkreises 12 und zum Ausgeben eines beliebigen neuen periodischen kombinierten Impulszuges als ein Haupttaktsignal Φ_{Rd} der Selbstaufrischoperation; einen Signalgenerator 18 zum Ausgeben eines Selbstaufrisch-Freigabesignals Φ_{fre} , welches die Erzeugung des Haupttaktsignals Φ_{Rd} mit einer vorbestimmten Zeitverzögerung erlaubt, nachdem das Timertreibersignal $\Phi_{T_{\text{mon}}}$ aktiviert worden ist; und einen Generator 20 zum Ausgeben eines Rücksetzsignals Φ_{Reset} unter einer vorbestimmten Bedingung.

Fig. 2 bis 6 sind detaillierte Schaltungsansichten, welche jeden der in Fig. 1 gezeigten Blöcke zeigen.

Bezugnehmend auf Fig. 2, umfaßt der CBR-Moduserfassungsschaltkreis 10 einen Φ_{Rd} -Generator 30 mit fünf seriell miteinander verbundenen Invertern, welche das invertierte Zeilenadreibpulssignal $\overline{\text{RAS}}$ empfangen und das Signal Φ_{Rd} ausgeben; einen Φ_{C} -Generator 32 mit fünf seriell verbundenen Invertern, welche ein invertiertes Spaltenadreibpulssignal $\overline{\text{CAS}}$ empfangen und das Signal Φ_{C} ausgeben; und einen Timertreibersignalgenerator 34, der aus zwei NAND-Gates 102 und 104 besteht, welche die Signale Φ_{Rd} und Φ_{C} an den entsprechenden ersten Eingängen empfangen und die gegenseitigen Ausgangssignale an den entsprechenden zweiten Eingängen empfangen, ein NAND-Gate 106, welches das Signal Φ_{Rd} an dem ersten Eingang und das Ausgangssignal des NAND-Gates 102 an dem zweiten Eingang empfängt und einen Inverter 108 zum Ausgeben des Timertreibersignals $\Phi_{T_{\text{mon}}}$ durch Invertieren des Ausgangssignals des NAND-Gates 106. In Fig. 2 wird, wenn das Signal $\overline{\text{RAS}}$ einen logischen niedrigen Pegel (im folgenden kurz Niedrigpegel genannt) annimmt, nachdem das Signal $\overline{\text{CAS}}$ den Niedrigpegel angenommen hat, das Timertreibersignal $\Phi_{T_{\text{mon}}}$ als ein Signal vom logischen hohen Pegel (im folgenden kurz "Hochpegel" genannt) ausgegeben, während die Signale $\overline{\text{CAS}}$ und $\overline{\text{RAS}}$ auf einem niedrigen Pegel gehalten werden.

Der Impulszugerzeugungsschaltkreis 12 zum Ausgeben einer Anzahl von Frequenzimpulszügen Q_0-Q_N mit untereinander verschiedenen Perioden befindet sich in einem Timer 36 und einem Frequenzteiler 38.

Der Timer 36 zum Ausgeben des Impulszuges Φ_{OSC} unter der Steuerung des Timertreibersignals $\Phi_{T_{\text{mon}}}$, das vom Timertreibersignalgenerator 34 ausgegeben wird, verwendet einen Ringoszillator vom Stromspiegeltyp,

der die Einflüsse der Betriebsspannung und der Umgebungstemperatur minimieren kann. Die detaillierte Schaltungsansicht und die Betriebskennlinien des Ringoszillators vom Stromspiegeltyp ist auf den Seiten 45 und 46 der Veröffentlichung mit dem Titel "SYPOSIUM ON VLSI CIRCUITS DIGEST OF TECHNICAL PAPERS" offenbart, die 1987 veröffentlicht wurde.

Der Frequenzzähler 38, welcher das Impulszugsignal Φ_{OSC} empfängt, welches vom Timer 36 ausgegeben wird und eine Anzahl von Impulszügen $Q_0 - Q_N$ ausgibt mit untereinander verschiedenen Perioden, verwendet einen typischen Ripplezähler, wie dies dem Fachmann bekannt ist. Daher ist die Periode des Impulszuges Q_0 zweimal länger als die Periode des Signals Φ_{OSC} und ebenso ist die Periode des Impulszuges Q_1 zweimal länger als die Periode des Impulszuges Q_0 . Schließlich ist die Periode des Impulszuges Q_N mit der längsten Periode 2^{N+1} mal länger als die Periode des Signals Φ_{OSC} .

Bezugnehmend auf Fig. 3A, besteht der Spannungsdetektor 40 aus einem Spannungspegeldetektor 110, einer Ausgangsstufe 112 und einer Erfassungssteuereinheit 114. Wenn die Versorgungsspannung, welche an die Speicherschaltung angelegt wird, einen höheren Pegel als eine vorgegebene Erfassungsspannung V_{ref} besitzt, gibt der Spannungspegeldetektor 110 ein Spannungserfassungssignal mit einem hohen Pegel aus. Da der Betrieb eines Spannungspegeldetektors 110 sehr bekannt ist, wird eine Erläuterung in der vorliegenden detaillierten Beschreibung der vorliegenden Erfindung nicht vorgenommen. Die Ausgangsstufe 112 besteht aus einem CMOS-Durchlaßgatter 120 zum Übertragen des Ausgangssignals des Spannungspegeldetektors 110, einem Latch 122 zum Zwischenspeichern des Ausgangssignals des CMOS-Durchlaßgatters 120 und einem Inverter 124 zum Ausgeben des Spannungserfassungssignals Φ_{Vdet} durch Invertieren des Ausgangssignals des Latch 122. Der Erfassungssteuerbaustein 114 besteht aus einem NAND-Gate 118, welches das Timertreibersignal Φ_{Tmon} und einem Selbstauffrischsignal sr_{fhp} empfängt (dies wird detailliert in Fig. 4 beschrieben werden) und einem Inverter 116 zum Invertieren des Ausgangssignals des NAND-Gates 118. Das Ausgangssignal des Inverters 116 und das inverse Ausgangssignal des Ausgangs des Inverters 116 steuert ein N-Kanal-Gatter bzw. ein P-Kanal-Gatter des CMOS-Durchlaßgatters 120. Daher wird, wenn das Timertreibersignal Φ_{Tmon} und das Selbstauffrischsignal sr_{fhp} auf einem hohen Pegel gehalten werden, das CMOS-Durchlaßgatter 120 durchgeschaltet, so daß das Ausgangssignal des Spannungspegeldetektors 110 an die Ausgangsstufe 112 übertragen wird.

Wenn in Fig. 3 die Versorgungsspannung V_{cc} größer als die Erfassungsspannung V_{ref} ist, gibt der Spannungspegeldetektor 110 ein Signal mit einem hohen Pegel aus, so daß ein Signal Φ_{Vdet} hohen Pegels an die Ausgangsstufe 112 ausgegeben wird, wenn der Ausgang des Erfassungssteuerbausteins 114 auf einen hohen Pegel gesetzt wird. Andererseits, wenn die Versorgungsspannung V_{cc} niedriger als die Erfassungsspannung V_{ref} ist, gibt der Spannungspegeldetektor 110 ein Signal niedrigen Pegels aus, daß das Signal Φ_{Vdet} mit niedrigem Pegel an die Ausgangsstufe 112 ausgegeben wird, wenn das Ausgangssignal des Erfassungssteuerbausteins 114 auf einen hohen Pegel gesetzt wird. Daher kann erfaßt werden, ob die Versorgungsspannung, die an die Speichereinrichtung geliefert wird, kleiner als eine vorgegebene Erfassungsspannung V_{ref} ist oder nicht.

Als nächstes wird Bezug genommen auf die Fig. 3B, worin die Temperaturerfassungsschaltung 42 gezeigt ist, bestehend aus zwei NAND-Gates 126 und 128 besteht zum Empfangen des Selbstauffrischsignals sr_{fhp} als erste Eingangssignale über die vier seriell verbundenen Inverter $UI_1 - UI_4$ und $LI_1 - LI_4$ und zum Empfangen der gegenseitigen Ausgangssignale als entsprechende zweite Eingangssignale, eine Pufferstufe 130 zum Empfangen des Ausgangssignals des NAND-Gates 126, einer Ausgangsstufe 112 zum Empfangen des Ausgangssignals der Pufferstufe 130 und zum Ausgeben des Temperaturerfassungssignals Φ_{Tdet} an den Ausgangsknoten. Der Temperaturerfassungsschaltkreis umfaßt weiterhin einen Erfassungssteuerbaustein 114 zum Steuern der Erfassungsoperation durch selektives Sperren, wodurch das Ausgangssignal der Pufferstufe 130 nicht an die Ausgangsstufe 112 übertragen wird. Da die Ausgangsstufe 112 und der Erfassungssteuerbaustein 114 die gleichen sind, wie in der Fig. 3A, werden sie mit den gleichen Bezugszeichen gekennzeichnet und eine erneute Erläuterung wird hier nicht vorgenommen. Die Inverter UI_1 und UI_3 der vier seriell verbundenen Inverter $UI_1 - UI_4$, welche das Selbstauffrischsignal sr_{fhp} als ein erstes Eingangssignal an das NAND-Gate 126 übertragen, sind mit einem Bezugspotentialanschluß V_{ss} über die Widerstände Rw_1 und Rw_3 entsprechend verbunden; ebenso sind die Inverter UI_2 und UI_4 mit dem Versorgungsspannungsanschluß V_{cc} entsprechend über die Widerstände Rw_2 und Rw_4 verbunden. Weiterhin sind die Inverter $LI_1 - LI_3$ der vier seriell verbundenen Inverter $LI_1 - LI_4$, welche das Selbstauffrischsignal sr_{fhp} als das erste Eingangssignal an das NAND-Gate 128 übertragen, mit dem Bezugspotentialanschluß V_{ss} über die Widerstände Rp_1 und Rp_3 entsprechend verbunden und ebenso sind die Inverter LI_2 und LI_4 mit dem Versorgungsanschlußspannung V_{cc} über die Widerstände Rp_2 und Rp_4 entsprechend verbunden. Die Widerstände $Rw_1 - Rw_4$ sind die Grabenwiderstände und die Widerstände $Rp_1 - Rp_4$ sind die Polysiliciumwiderstände.

Im folgenden werden die $UI_1 - UI_4$ die erste Gruppe von Invertern und die $LI_1 - LI_4$ die zweite Gruppe von Invertern genannt, um das Ausführungsbeispiel der vorliegenden Erfindung leichter erklären zu können.

Im allgemeinen ist es bekannt, daß der Grabenwiderstand und der Polywiderstand Temperatur-Widerstandskoeffizienten besitzen, welche sich voneinander unterscheiden. Der Erfinder hat den Grabenwiderstand und den Polysiliciumwiderstand auf dem gleichen Siliciumsubstrat angeordnet und dann die folgenden, in Tabelle 1 dargestellten Resultate durch Messen der entsprechenden Schichtwiderstände erhalten.

Tabelle 1

Temperatur	Polysilicium-Widerstand	Well-Resistor-Grabenwiderstand
25°C	55.0 Ω/\square	460.0 Ω/\square
45°C	56.2 Ω/\square	514.5 Ω/\square
65°C	56.9 Ω/\square	564.5 Ω/\square
85°C	57.7 Ω/\square	612.6 Ω/\square

Wie in Tabelle 1 gezeigt, ist das Änderungsverhältnis des Widerstands, das der Umgebungstemperatur entspricht bei einem Grabenwiderstand höher als dasjenige bei einem Polysiliciumwiderstand.

In Fig. 3B sind die Grabenwiderstände $R_{w1} - R_{w4}$ und die Polysiliciumwiderstände $R_{p1} - R_{p4}$ so ausgebildet, daß sie den gleichen Widerstand bei der gewünschten Erfassungstemperatur besitzen. Das Änderungsverhältnis der Grabenwiderstände $R_{w1} - R_{w4}$, welches einer Umgebungstemperatur entspricht, ist größer als dasjenige der Polysiliciumwiderstände R_{p1} und R_{p4} , so daß ein Unterschied in der Zeitverzögerung zwischen der ersten Invertergruppe und der zweiten Invertergruppe erzeugt wird. Wenn die Umgebungstemperatur größer als die Erfassungstemperatur ist, sind die Widerstandswerte der Grabenwiderstände $R_{w1} - R_{w4}$ größer als diejenigen der Polysiliciumwiderstände $R_{p1} - R_{p4}$, wodurch die Zeitverzögerung der ersten Invertergruppe größer ist als diejenige der zweiten Invertergruppe. Daher wird, wenn das Selbstaufrischsignal $srfhp$ den hohen Pegel annimmt, das Ausgangssignal des NAND-Gates 128 einen hohen Pegel früher annehmen, als das Ausgangssignal des NAND-Gates 126, so daß das Ausgangssignal des NAND-Gates 128 in dem hohen Zustand verriegelt wird, wodurch das Temperaturfassungssignal $\Phi Tdet$ mit hohem Pegel erzeugt wird. Anderenfalls, wenn die Umgebungstemperatur geringer als die Erfassungstemperatur ist, sind die Widerstandswerte der Grabenwiderstände $R_{w1} - R_{w4}$ kleiner als diejenigen der Polysiliciumwiderstände $R_{p1} - R_{p4}$, wodurch die Zeitverzögerung der ersten Invertergruppe kleiner als diejenige der zweiten Invertergruppe ist. Daher wird, wenn das Selbstaufrischsignal $srfhp$ den hohen Pegel annimmt, das Ausgangssignal des NAND-Gates 126 früher den niedrigen Pegel annehmen als das Ausgangssignal des NAND-Gates 128, so daß das Ausgangssignal des NAND-Gates 126 in dem niedrigen Zustand verriegelt wird, wodurch ein Temperaturfassungssignal $\Phi Tdet$ niedrigen Pegels erzeugt wird. Daher kann erfaßt werden, ob die Umgebungstemperatur der Speichereinrichtung höher als eine vorgegebene Erfassungstemperatur ist oder nicht.

Wie in Fig. 4A gezeigt ist, besteht der Impulsauswähler 44 aus NAND-Gates 132-146, 160 und NOR-Gates 148-158. Ein NAND-Gate 132 empfängt das invertierte Spannungserfassungssignal $\Phi Vdet$ und das invertierte Temperaturfassungssignal $\Phi Tdet$, ein NAND-Gate 134 empfängt das Spannungserfassungssignal $\Phi Vdet$ und das invertierte Temperaturfassungssignal $\Phi Tdet$, ein NAND-Gatter 136 empfängt das invertierte Spannungserfassungssignal und das Temperaturfassungssignal $\Phi Tdet$. Weiterhin empfängt ein NAND-Gate 138 das Spannungserfassungssignal $\Phi Vdet$ und das Temperaturfassungssignal $\Phi Tdet$. Ein NAND-Gate 140 empfängt die Impulszüge $Q3$ und $Q5$, ein NAND-Gate 142 empfängt die Impulszüge $Q3$ und $Q6$, ein NAND-Gate 144 empfängt die Impulszüge $Q2$ und $Q5$, und ein NAND-Gate 146 empfängt die Impulszüge $Q0$ und $Q6$. Ein NOR-Gate 148 empfängt die Ausgangssignale der NAND-Gates 132 und 140, ein NOR-Gate 150 empfängt die Ausgangssignale der NAND-Gates 134 und 142, ein NOR-Gate 152 empfängt die Ausgangssignale der NAND-Gates 136 und 144, und ein NOR-Gate 154 empfängt die Ausgangssignale der NAND-Gates 138 und 146. Ein NOR-Gate 156 empfängt die Ausgangssignale der NOR-Gates 148 und 150, ein NOR-Gate 158 empfängt die Ausgangssignale der NOR-Gates 152 und 154. Ein NAND-Gate 160 empfängt die Ausgangssignale der NOR-Gates 156 und 158, um ein Signal Φsrp auszugeben.

Bezugnehmend auf Fig. 4B, besteht der Selbstaufrischsignalgenerator 46 aus einem NOR-Gate 164, welches das Signal Φsrp als ein erstes Eingangssignal und als ein zweites Eingangssignal das invertierte und von den sieben seriell verbundenen Invertern 162 verzögerte Signal Φsrp empfängt, sowie aus einem Inverter 166, der das Ausgangssignal des NAND-Gates 164 empfängt und das Selbstaufrischsignal $srfhp$ ausgibt. Vorzugsweise sollte die Zeitverzögerung des Inverters 166 mit der Zyklusdauer t_{rc} für einen zufälligen Lese- oder Schreibvorgang der Speichereinrichtung übereinstimmen. Daher nimmt, wenn das Signal Φsrp vom hohen Pegelzustand in den niedrigen Pegelzustand übergeht, das Ausgangssignal des NOR-Gates 164 den hohen Pegel während der Zykluszeit t_{rc} für einen zufälligen Lese- oder Schreibvorgang an.

Bezugnehmend auf Fig. 4C, besteht der Haupttaktgenerator 48 aus einem Inverter 168 zum Empfangen eines Selbstaufrischfreigabesignals Φsre , einem NAND-Gate 170 zum Empfangen des Ausgangssignals des Inverters 168 und des Signals ΦR , einem NOR-Gate 172 zum Empfangen des Ausgangssignals des Inverters 168 und des Signals $srfhp$, einem Inverter 174 zum Invertieren des Ausgangssignals des NOR-Gates 172, einem NAND-Gate

176 zum Empfangen des Ausgangssignals des NAND-Gates 170 und des Ausgangssignals des Inverters 174 und einem Ausgangspuffer 178 zum Ausgeben des Haupttaktsignals ΦR_d durch Empfangen des Ausgangssignals des NAND-Gates 176. Wenn in Fig. 4C das Signal ΦR und das Signal Φs_{re} auf einem hohen Pegelzustand gehalten werden, wird aus dem Haupttaktsignal ΦR_d das invertierte Signal des Selbstaufrischsignals s_{rfhp} . Daher wird die Erzeugung des Haupttaktsignals ΦR_d von dem Selbstaufrischfreigabesignal Φs_{re} gesteuert.

Fig. 5 ist eine detaillierte Schaltungsansicht, welche den Generator 18 für das Selbstaufrischfreigabesignal der Fig. 1 zeigt. Nach dem Verbringen in den CBR-Modus, sollte das Selbstaufrischfreigabesignal nach dem Verstreichen einer vorbestimmten Zeitdauer freigegeben werden. Obwohl das Timertreibersignal ΦT_{mon} in den hohen Pegelzustand wechselt, wenn der Puls Q_i nicht in einen hohen Pegelzustand verbracht wird, bleibt das Selbstaufrischfreigabesignal Φs_{re} in einem niedrigen Pegelzustand. Währenddessen wird in diesem Zustand, wenn der Puls Q_i in den hohen Pegelzustand verbracht wird, das Signal Φs_{re} auf einem hohen Pegel gehalten, während das Signal ΦT_{mon} auf einem hohen Pegel gehalten wird.

Fig. 6 ist eine detaillierte Schaltungsansicht, welche den Rücksetzsignalgenerator 20 der Fig. 1 zeigt. Der Rücksetzsignalgenerator 20 besteht aus einem NAND-Gate 200 zum Empfangen des Selbstaufrischfreigabesignals Φs_{re} als ein erstes Eingangssignal und das Selbstaufrischsignal s_{rfhp} als ein zweites Eingangssignal über einen Inverter 198, einem NAND-Gate 204 zum Empfangen des Ausgangssignals des NAND-Gates 200 als ein erstes Eingangssignal und das Ausgangssignal des NAND-Gates 200 als ein zweites Eingangssignal, welches zeitverzögert und invertiert von den fünf seriell verbundenen Invertern 202 ist, einem NAND-Gate 206 zum Empfangen des Ausgangssignals des NAND-Gates 204 und des Timertreibersignals ΦT_{mon} und einem Inverter 208 zum Ausgeben des Rücksetzsignals $\Phi Reset$ durch invertieren des Ausgangssignals des NAND-Gates 206. Das Timertreibersignal ΦT_{mon} , das dem NAND-Gate 206 eingegeben wird, steuert die Erzeugung des Rücksetzsignals. Wenn das Timertreibersignal ΦT_{mon} und das Signal Φs_{re} auf einem hohen Pegelzustand gehalten werden und wenn das Selbstaufrischsignal s_{rfhp} den niedrigen Pegelzustand annimmt, wird das Ausgangssignal des NAND-Gates 200 auf einen niedrigen Pegel verbracht über eine Verzögerungszeit der Inverter 202. Das Rücksetzsignal setzt den Frequenzteiler 38 zurück.

Fig. 7 zeigt ein Zeitablaufdiagramm der Schaltung gemäß der vorliegenden Erfindung. Es wird im folgenden Bezug genommen auf die Fig. 4 bis 7, um ein besseres Verständnis der Periodenauswahloperation der Schaltung der Fig. 1 zu erreichen.

In den folgenden Beschreibungen wird zum Zwecke der Erläuterung angenommen, daß die Periode des Impulszuges ΦOSC , welche vom Timer 36 bereitgestellt wird, $2\mu s$ beträgt und daß der Impulszug ΦOSC sequentiell von dem Frequenzteiler 38 frequenzgeteilt wird, wodurch frequenzgeteilte Impulszüge Q_0-Q_7 erzeugt werden, deren Perioden in Tabelle 2 dargestellt sind. Darüber hinaus wird angenommen, daß die Gesamtanzahl der Zeilen (d. h. die Anzahl der zu treibenden Wortleitungen) die in einem Auffrischzyklus aufgefrischt werden müssen, 2048 beträgt und daß die Datenhaltezeit der Speicherzellen gemäß dem Spannungspegel und dem Temperaturpegel in Tabelle 3 dargestellt ist. Wenn gemäß Tabelle 3 die Spannung, welche an die Speichereinrichtung angelegt wird, geringer ist als der vorbestimmte Referenzpegel und die Umgebungstemperatur der Speichereinrichtung größer ist als die vorbestimmte Referenztemperatur (d. h. die Speichereinrichtung wird unter den schlechtesten Betriebsbedingungen betrieben) beträgt die Datenhaltezeit für die Speicherzellen 170 Millisek., so daß 2048 Zeilen vollständig innerhalb der Datenhaltezeit von 170 Millisek. aufgefrischt werden müssen. Dagegen ist, wenn die an die Speichereinrichtung angelegte Spannung größer ist als der vorgegebene Referenzpegel und die Umgebungstemperatur der Speichereinrichtung geringer ist als die vorbestimmte Referenzspannung (d. h. die Speichereinrichtung wird unter den bestmöglichen Betriebsbedingungen betrieben) die Datenhaltezeit der Speicherzellen 340 Millisek., so daß die Speichereinrichtung 2048 Zeilen innerhalb der Datenhaltezeit von 340 Millisek. vollständig auffrischen muß.

Tabelle 2

Impulszug	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7
Periode	4 μs	8 μs	16 μs	32 μs	64 μs	128 μs	256 μs	512 μs

Tabelle 3

	Fall 1	Fall 2	Fall 3	Fall 4
Signalerfassungs- pegel	$\Phi V_{det}:L$ $\Phi T_{det}:H$	$\Phi V_{det}:L$ $\Phi T_{det}:L$	$\Phi V_{det}:H$ $\Phi T_{det}:H$	$\Phi V_{det}:H$ $\Phi T_{det}:L$
Datenhaltezeit (ms)	170	210	280	340
Kombination von Impulszügen	Q2 + Q5	Q3 + Q5	Q0 + Q6	Q3 + Q6
Periode des Haupt- taktes ΦR_d	80	96	132	160
Auffrischzyklus- zeit (ms)	163.8	196.6	270.3	160

Die folgende Beschreibung betrifft den Betrieb der Steuerschaltung für die Selbstauffrischperiode der Fig. 1 unter der Bedingung der Fallkonstellation 4 in Tabelle 3, in der das Spannungserfassungssignal ΦV_{det} des Spannungsdetektors 40 einen hohen Pegel besitzt und das Temperaturerfassungssignal ΦT_{det} des Temperaturdetektors 42 entsprechend einen niedrigen Pegel besitzt.

Bezugnehmend auf Fig. 1, wenn in den CBR-Modus übergegangen wird, nimmt das Timertreibersignal ΦT_{mon} einen hohen Signalpegel an und dementsprechend erzeugt der Timer 36 einen Impulszug ΦOSC . Der Frequenzteiler 38 teilt den Impulszug ΦOSC hinsichtlich der Frequenz, um die Impulszüge Q0—Q7 zu erzeugen, welche dann an den Impulsauswähler 44 angelegt werden. Nun wird auf Fig. 5 Bezug genommen. Nach dem Verstreichen einer vorbestimmten Zeitdauer, z. B. 200 μs , welche von dem Takt Q1 bestimmt wird, schreitet die Speichereinrichtung in den Selbstauffrischmodus zu einem Zeitpunkt t0 fort, wenn das Selbstauffrischfreigabesignale Φs_{re} des Signalgenerators 18 in den hohen Pegelzustand überwechselt. Zu diesem Zeitpunkt hält, wie in Fig. 2 gezeigt, das Signal ΦR den hohen Pegelzustand aufrecht nach Maßgabe des RAS-Signals, welches auf einem niedrigen Pegel gehalten wird. Als Ergebnis davon werden in dem Selbstauffrischmodus, das Timertreibersignal ΦT_{mon} alle auf einem hohen Pegelzustand gehalten.

Nunmehr wird auf Fig. 4A Bezug genommen. Da das Spannungserfassungssignal ΦV_{det} auf einem hohen Pegelzustand gehalten wird und das Temperaturerfassungssignal ΦT_{det} sich auf einem niedrigen Pegel befindet, geht nur der Ausgang des NAND-Gates 134 in einen niedrigen Pegelzustand über und die Ausgänge der verbleibenden NAND-Gates 132, 136 und 138 bleiben alle auf dem hohen Pegel. Da nur ein Kombinationsimpulszug Q3+Q6 gültig ist, der von dem NAND-Gate 142 ausgegeben wird, das die Impulszüge Q3 und Q6 empfängt, und alle verbleibenden Kombinationsimpulszüge vernachlässigt werden, wird aus dem Signal Φs_{rp} , das von dem NAND-Gate 160 ausgegeben wird, eine Kombination der Impulszüge Q3 und Q6. Daher besitzt das Signal Φs_{rp} einen hohen Pegel zu einem Zeitpunkt zwischen den Zeitpunkten t1 und t2, zu dem die Impulszüge Q3 und Q6 simultan einen hohen Pegelzustand besitzen.

Das Signal Φs_{rp} geht bei dem in Fig. 4B gezeigten Selbstauffrischsignalgenerator 46 in das Selbstauffrischsignal s_{rfhp} über. Da in Fig. 4B die Anzahl der seriell verbundenen Inverter 362 eine ungerade Anzahl (sieben in Fig. 4B) ist, wird das Selbstauffrischsignal s_{rfhp} auf einem niedrigen Pegel zwischen den Zeitpunkten t2 und t3 gehalten. Das Signal, welches von den Invertern 162 verzögert wird, geht zu einem Zeitpunkt t2 auf den niedrigen Pegel, bei dem das Signal Φs_{rp} von dem hohen Pegelzustand in den niedrigen Pegelzustand wechselt.

Da gemäß Fig. 4C das Signal ΦR und das Selbstauffrischfreigabesignal Φs_{re} auf einem hohen Pegelzustand gehalten werden, invertiert die Haupttaktquelle 48 das Selbstauffrischsignal s_{rfhp} , um den Haupttakt ΦR_d zu erzeugen.

Es ist dem Fachmann bekannt, daß der Haupttakt ΦR_d die RAS-Kette der Speichereinrichtung steuert und interne Adressen, die unter der Steuerung des Haupttakts erzeugt werden, eine ausgewählte der 2048 Wortleitungen. Eine solche Operation wird für jede Erzeugung des Haupttakts wiederholt, um die gesamten Speicherzellen aufzufrischen.

Da in Fig. 6 das Selbstauffrischfreigabesignal Φs_{re} und das Timertreibersignal ΦT_{mon} auf einem hohen Pegelzustand gehalten werden, wird das Rücksetzsignal ΦR_{set} , welches einen niedrigen Pegelwert über die Verzögerungszeit der seriell verbundenen Inverter 202 besitzt, zu einem Zeitpunkt t3 erzeugt, an dem das Selbstauffrischsignal s_{rfhp} vom niedrigen Pegelzustand in einen hohen Pegelzustand wechselt. Daher wird der Frequenzteiler 38, welcher in Fig. 1 gezeigt ist, zurückgesetzt und dementsprechend werden die von dem Frequenzteiler 38 ausgegebenen Impulszüge Q0—Q7 alle initialisiert, um Impulszüge zu erzeugen, welche die gleichen Zustände besitzen, wie diejenigen zum Zeitpunkt t0.

Die oben beschriebenen Operationen werden solange wiederholt, wie das Spannungserfassungssignal ΦV_{det} und das Temperaturerfassungssignal ΦT_{det} sich auf einem hohen Pegel bzw. niedrigen Pegelzustand

befinden. Das heißt, die Impulszüge Q0—Q7, das Signal Φ_{srp} , das Selbstaufrischsignal sr_{fhp} und der Haupttakt Φ_{Rd} werden sequentiell vom Zeitpunkt t0 bis zum Zeitpunkt t3 erzeugt und daher wird der zweite aktive Impuls des Haupttakts Φ_{Rd} zum Zeitpunkt t4 erzeugt, wodurch die gleiche Operation wiederholt ausgeführt wird.

Das Zeitintervall zwischen dem Zeitpunkt t2 und t3, in dem der Haupttakt Φ_{Rd} sich auf einem hohen Pegelwert befindet, approximiert die Zykluszeit t_{ac} für einen zufälligen Lese/Schreibvorgang der Speichereinrichtung. Daher ist dieses Zeitintervall vernachlässigbar, wenn es mit der Gesamtaufrischoperationszeit verglichen wird. Folglich ist eine Periode des Haupttakts Φ_{Rd} definiert als das Zeitintervall zwischen dem Zeitpunkt 3 und dem Zeitpunkt t4 und approximiert eine Periode (160 μ sek) des kombinierten Impulszuges Q3 + Q6. Die Zeitdauer, in der eine ausgewählte Wortleitung aufgefrischt wird, nachdem eine vorhergehende Wortleitung aufgefrischt würde, d. h. die Auffrischzykluszeit beträgt $260 \times 2048 = 327,7$ Millisek. Daher liegt die Auffrischzykluszeit von 327,7 Millisek. unter der Datenhaltezeit von 340 Millisek. der Speicherzellen.

In dem Spannungsdetektor 40 der Fig. 3A wird ein Signal hohen Spannungspegels von dem Erfassungssteuerelement 114 immer dann erzeugt, wenn das Selbstaufrischsignal sr_{fhp} von dem niedrigen Pegelzustand in den hohen Pegelzustand wechselt, wodurch das Durchlaßgatter 120 der Ausgangsstufe 112 durchgeschaltet wird. Die Ausgangsstufe 112 erzeugt ein neues Spannungserfassungssignal Φ_{Vdet} zu einem Zeitpunkt, wenn das Selbstaufrischsignal von dem niedrigen Pegel in den hohen Pegelzustand überwechselt (d. h. wenn der Haupttakt vom hohen Pegel in den niedrigen Pegelzustand wechselt). In ähnlicher Weise erzeugt der Temperaturdetektor 42 der Fig. 3B ein neues Temperaturerfassungssignal zu einem Zeitpunkt, wenn das Selbstaufrischsignal sr_{fhp} von dem niedrigen Pegelzustand in den hohen Pegelzustand wechselt.

Folglich erfassen der Spannungsdetektor 40 der Fig. 3A und der Temperaturdetektor 42 der Fig. B die Versorgungsspannung bzw. die Umgebungstemperatur zu einem Zeitpunkt, zu dem der Haupttakt Φ_{Rd} sich in einem niedrigen Pegelzustand befindet nach einer Aktivierung auf einem hohen Pegelzustand. Daher wird in dem Impulszugauswähler 44 der Fig. 4A ein ausgewähltes der NAND-Gates 132, 124, 136 und 138 ein Ausgangssignal niedrigen Pegels erzeugen, in Übereinstimmung mit dem neuen Spannungserfassungssignal Φ_{Vdet} und dem neuen Temperaturerfassungssignal Φ_{Tdet} , so daß einer der vier kombinierten Impulszüge ausgewählt wird, um das Signal Φ_{srp} zu erzeugen.

Beispielsweise wird während der Operation gemäß der Fallkonstellation 4, wenn die Versorgungsspannung konstant gehalten wird, und die Umgebungstemperatur mehr und mehr ansteigt, das Spannungserfassungssignal Φ_{Vdet} und das Temperaturerfassungssignal Φ_{Tdet} alle auf einem hohen Pegelzustand gehalten, wodurch zu den Bedingungen des Falls 3 der Tabelle 3 übergegangen wird. Unter den Bedingungen der Fallkonstellation 3 erzeugt das NAND-Gate 138 in dem Pulsauswähler 44 der Fig. 4A ein Signal niedrigen Pegels und die verbleibenden NAND-Gates 132, 134 und 136 erzeugen ein hohes Pegelsignal im Ansprechen auf die Erfassungssignale, wodurch der kombinierte Impulszug Q0 + Q6 ausgewählt wird, um das Signal Φ_{srp} zu erzeugen. Daher wird die Periode des Haupttakts Φ_{Rd} den Wert 132 μ sek. annehmen, welches gleich der Periode des kombinierten Impulszuges Q0 + Q6 ist. Daher beträgt die Auffrischzykluszeit $132 \times 2048 = 270,3$ Millisek., wodurch die Datenhaltezeit von 280 Millisek. gemäß der Fallkonstellation 3 eingehalten wird.

Die Operationen für die Bedingungen der Fallkonstellationen 1 und 2 werden sofort klar von der oben gegebenen Beschreibung der Fallkonstellationen 4 und 3.

Wie in Tabelle 3 gezeigt, kann die Steuerschaltung für die Selbstaufrischperiode gemäß der vorliegenden Erfindung kombinierte Impulszüge mit variablen Perioden erzeugen, so daß ein Haupttakt mit einer Periode erzeugt wird, die der Datenhaltezeit angenähert ist. Daher werden unnötige Selbstaufrischoperationen während des Stand-by-Modus verhindert, wodurch sich der Stromverbrauch vermindert.

Darüber hinaus steuert die Steuerschaltung für die Selbstaufrischperiode gemäß der vorliegenden Erfindung automatisch die Selbstaufrischperiode nach Maßgabe der Änderungen in der Versorgungsspannung und der Umgebungstemperatur, so daß die Selbstaufrischoperation optimiert werden kann.

In dem oben beschriebenen Ausführungsbeispiel wurde die Periode der Selbstaufrischoperation unter Verwendung des Impulsauswählers erreicht, welches in Fig. 4A gezeigt ist. Gemäß einem weiteren Ausführungsbeispiel der vorliegenden Erfindung kann ein beliebiger der von dem Teil er lieferten Impulszüge im Ansprechen auf das Spannungserfassungssignal oder das Temperaturerfassungssignal ausgewählt werden.

Darüber hinaus kann die Periode der Selbstaufrischoperation dadurch gesteuert werden, daß die Anzahl des Spannungserfassungsteils und des Temperaturerfassungsteils verändert wird nach Maßgabe von näheren Änderungen der Temperatur und der Spannung.

Patentansprüche

1. Eine Steuerschaltung für die Periode einer Selbstaufrischoperation in einer Halbleiterspeichereinrichtung umfassend:
 - eine Impulserzeugungseinrichtung zum Ausgeben eines vorbestimmten periodischen Impulszuges im Ansprechen auf ein externes Steuersignal;
 - eine Frequenzteilungseinrichtung zum Ausgeben einer Anzahl von Impulszügen mit untereinander unterschiedlichen Perioden durch Frequenzteilen des Impulszuges, der von der Impulserzeugungseinrichtung ausgegeben wird;
 - wenigstens eine Temperaturerfassungseinrichtung zum Ausgeben eines Temperaturerfassungssignals durch Erfassen, daß die Umgebungstemperatur der Speichereinrichtung einen vorbestimmten Pegel erreicht;
 - wenigstens eine Spannungserfassungseinrichtung zum Ausgeben eines Spannungserfassungssignals durch Erfassen, daß die an die Speichereinrichtung angelegte Versorgungsspannung einen vorbestimmten Pegel erreicht; und

ein Impulsauswahleinrichtung zum Ausgeben eines Selbstauffrisch-Haupttakts durch Auswählen einen der Impulszüge nach Maßgabe des Spannungserfassungssignals und des Temperaturerfassungssignals.

2. Eine Steuerschaltung für die Periode einer Selbstauffrischoperation in einer Halbleiterspeichereinrichtung umfassend:

eine Impulserzeugungseinrichtung zum Ausgeben eines vorbestimmten periodischen Impulszuges im Ansprechen auf ein externes Steuersignal; 5

eine Frequenzteilungseinrichtung zum Ausgeben einer Anzahl von Impulszügen mit untereinander unterschiedlichen Perioden durch Frequenzteilen des Impulszuges, der von der Impulserzeugungseinrichtung ausgegeben wird;

wenigstens eine Temperaturerfassungseinrichtung zum Ausgeben eines Temperaturerfassungssignals durch Erfassen, daß die Umgebungstemperatur der Speichereinrichtung einen vorbestimmten Pegel erreicht; 10

eine Erzeugungseinrichtung zum Ausgeben einer Anzahl von Kombinationsimpulszügen durch Kombinieren der Impulszüge, welche von der Frequenzteilungseinrichtung ausgegeben werden; und

eine Impulsauswahleinrichtung zum Ausgeben eines Selbstauffrisch-Haupttakts durch Auswählen einen der Kombinationsimpulszüge nach Maßgabe des Spannungserfassungssignals und des Temperaturerfassungssignals. 15

Hierzu 8 Seite(n) Zeichnungen

20

25

30

35

40

45

50

55

60

65

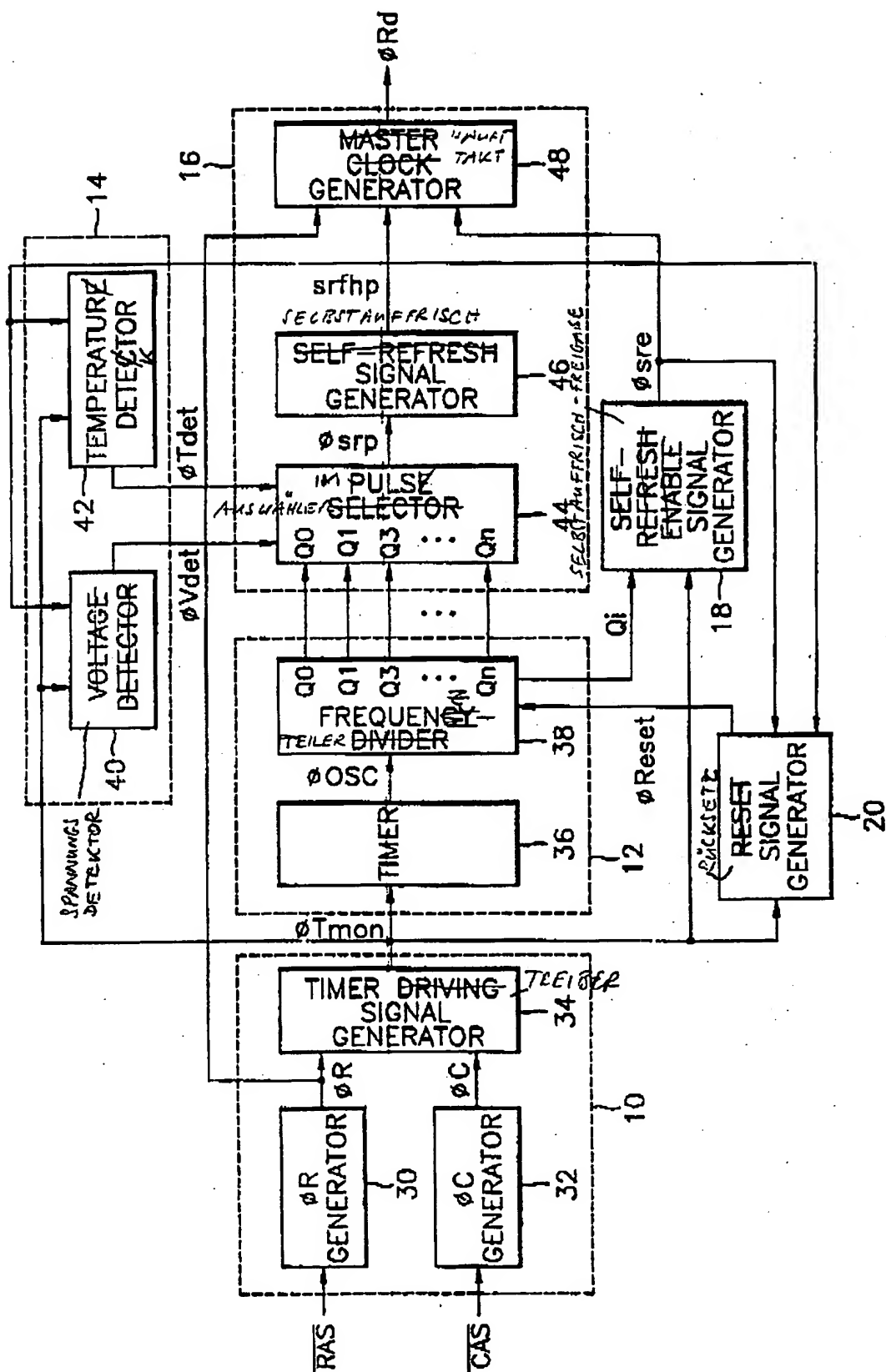


FIG. 1

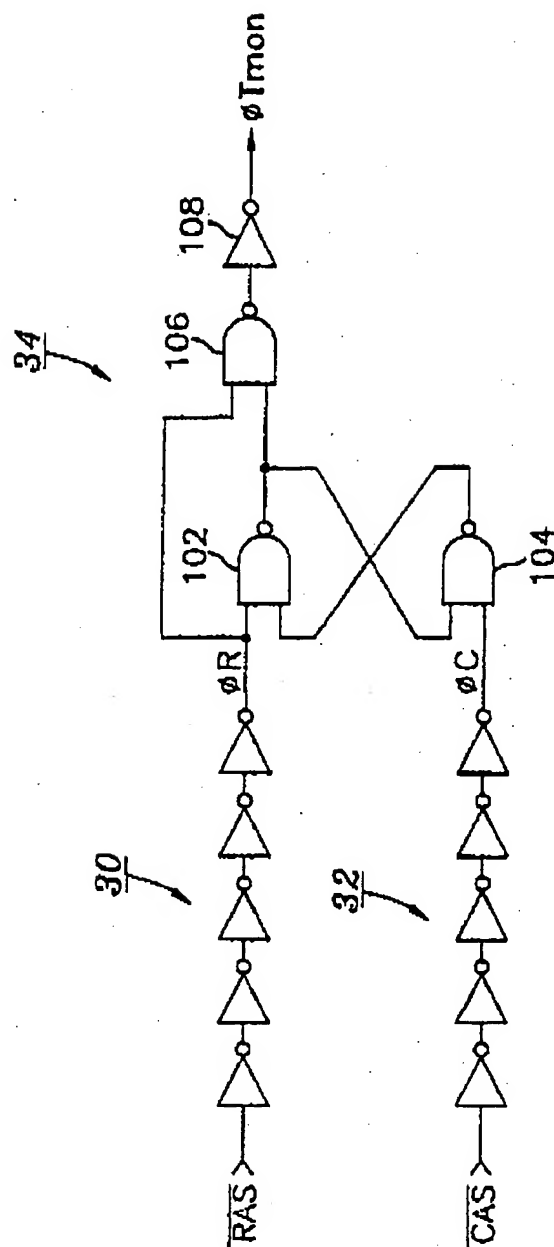


FIG. 2

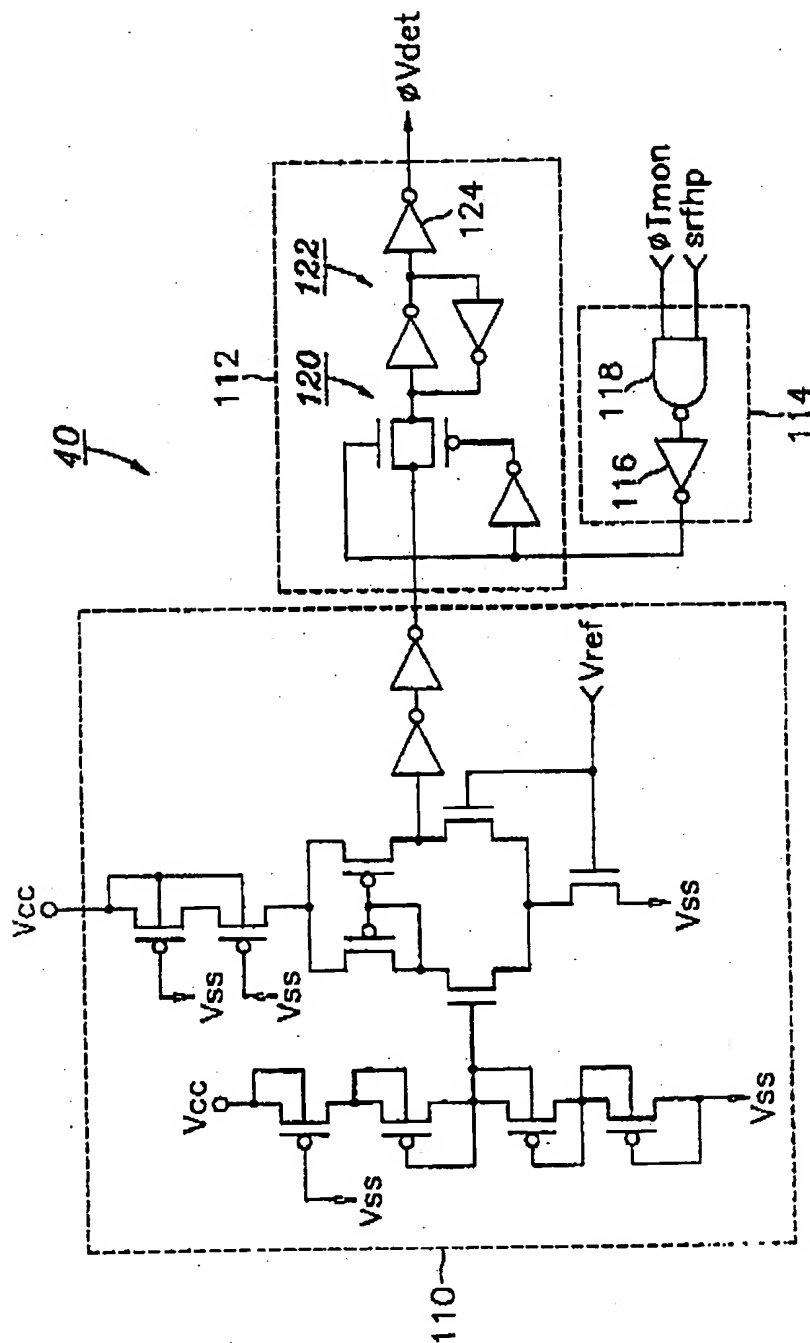


FIG. 3A

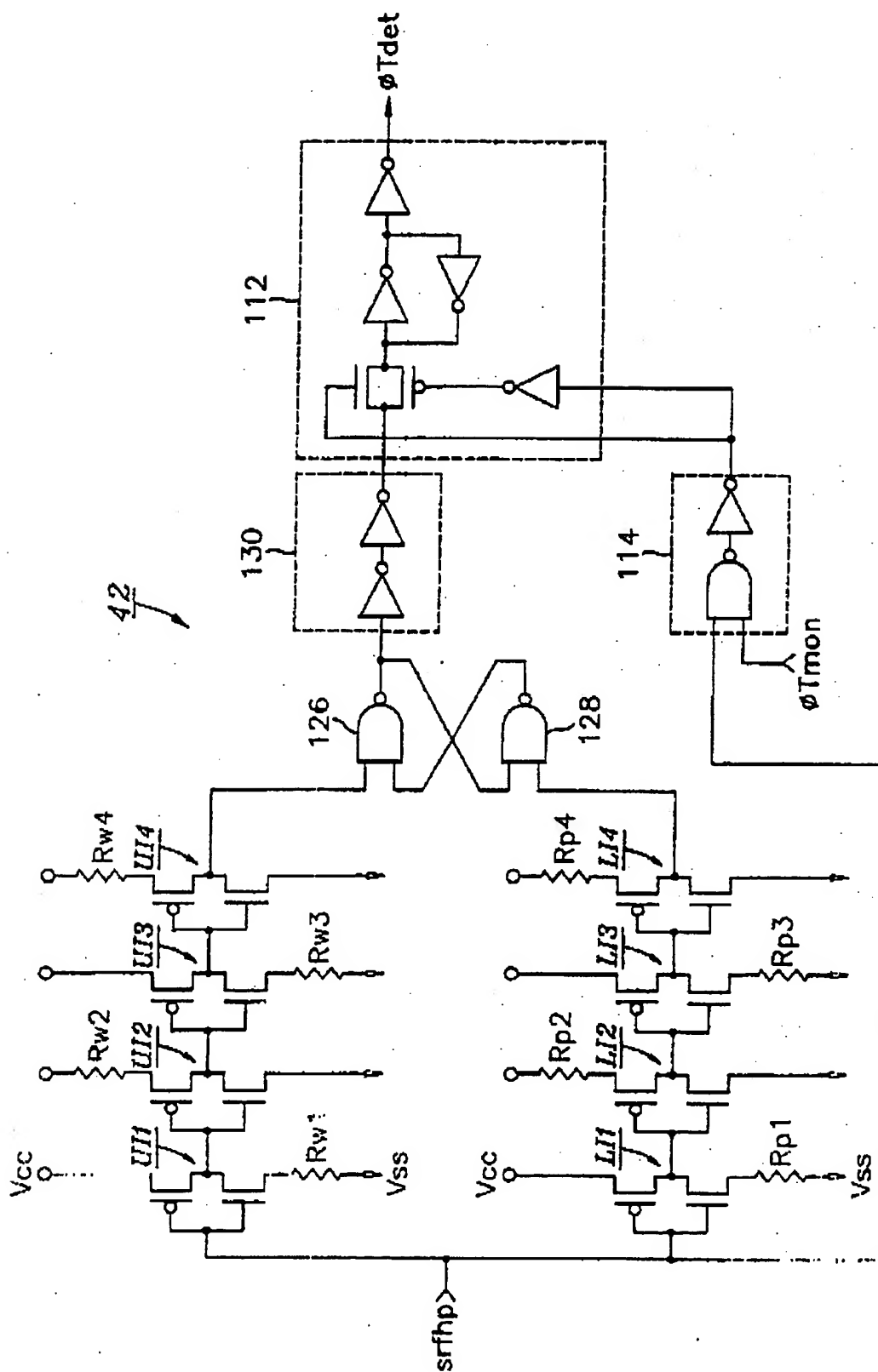


FIG. 3B

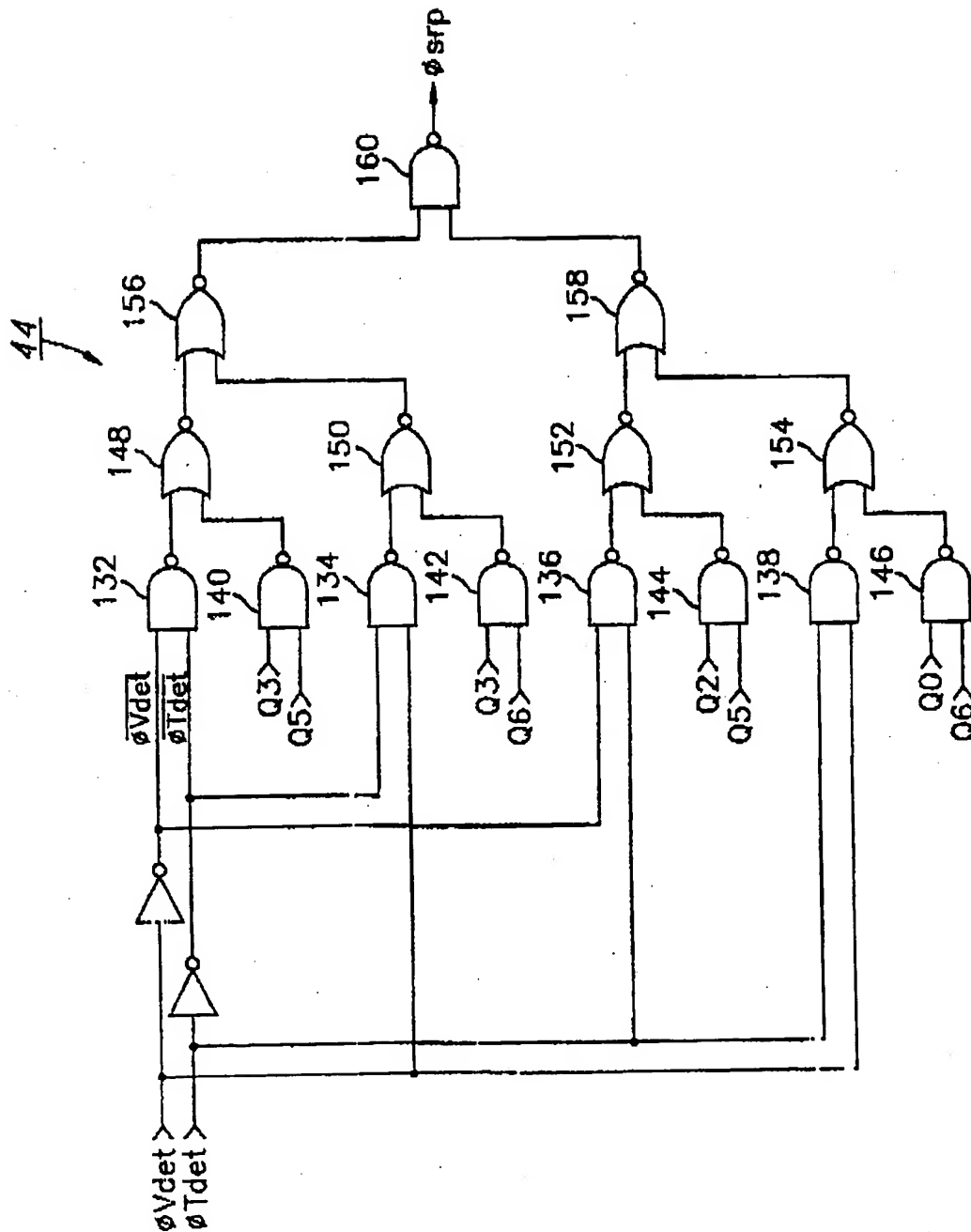


FIG. 4A

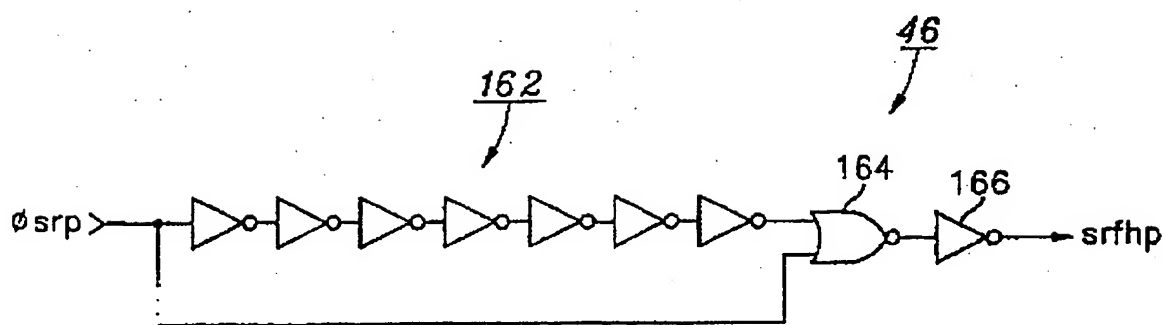


FIG. 4B

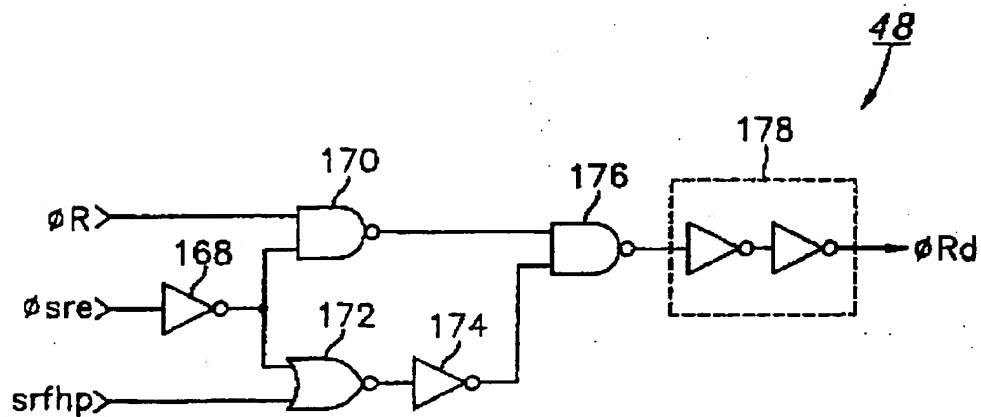
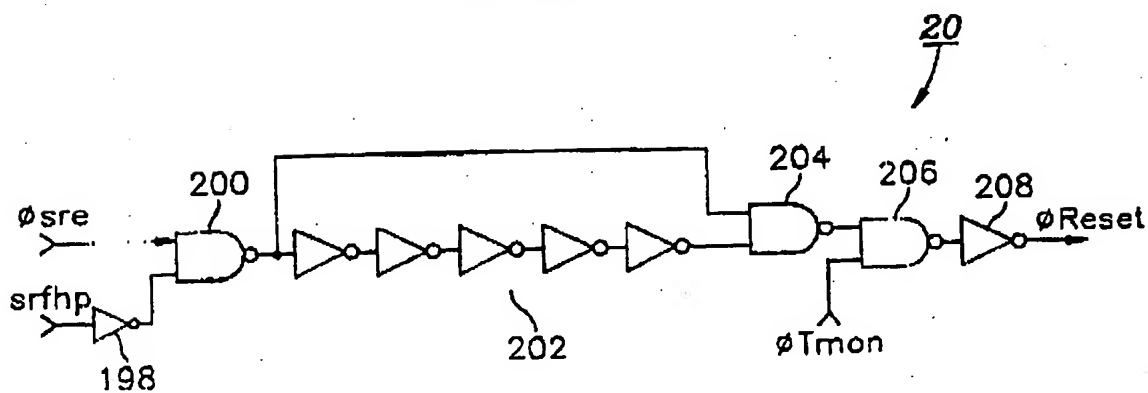
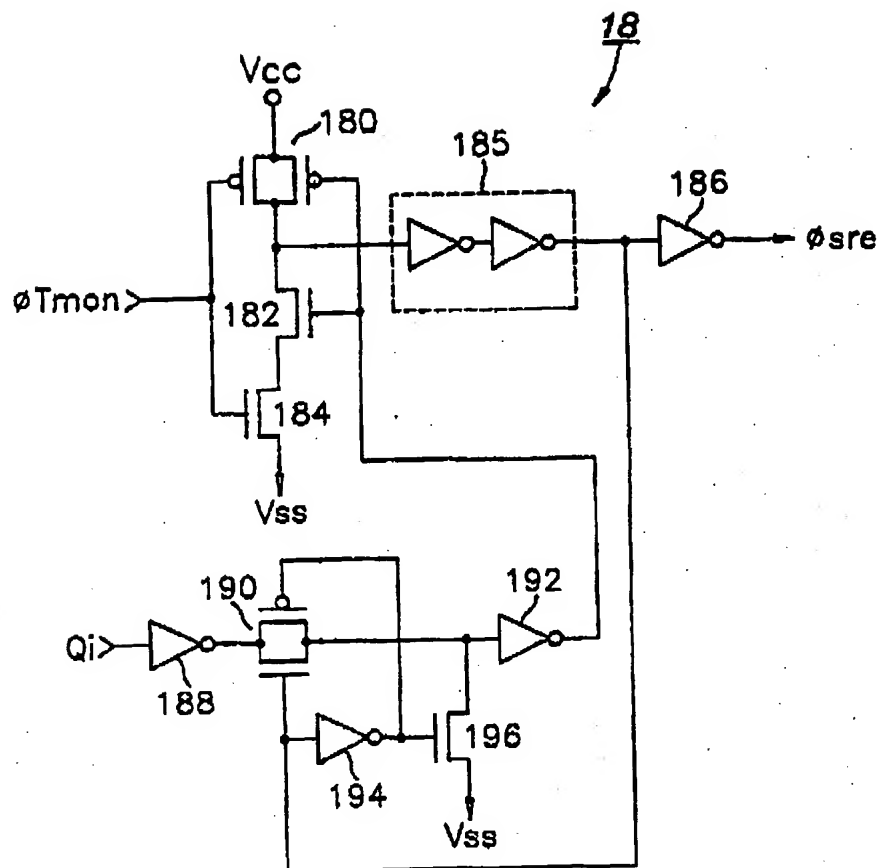


FIG. 4C



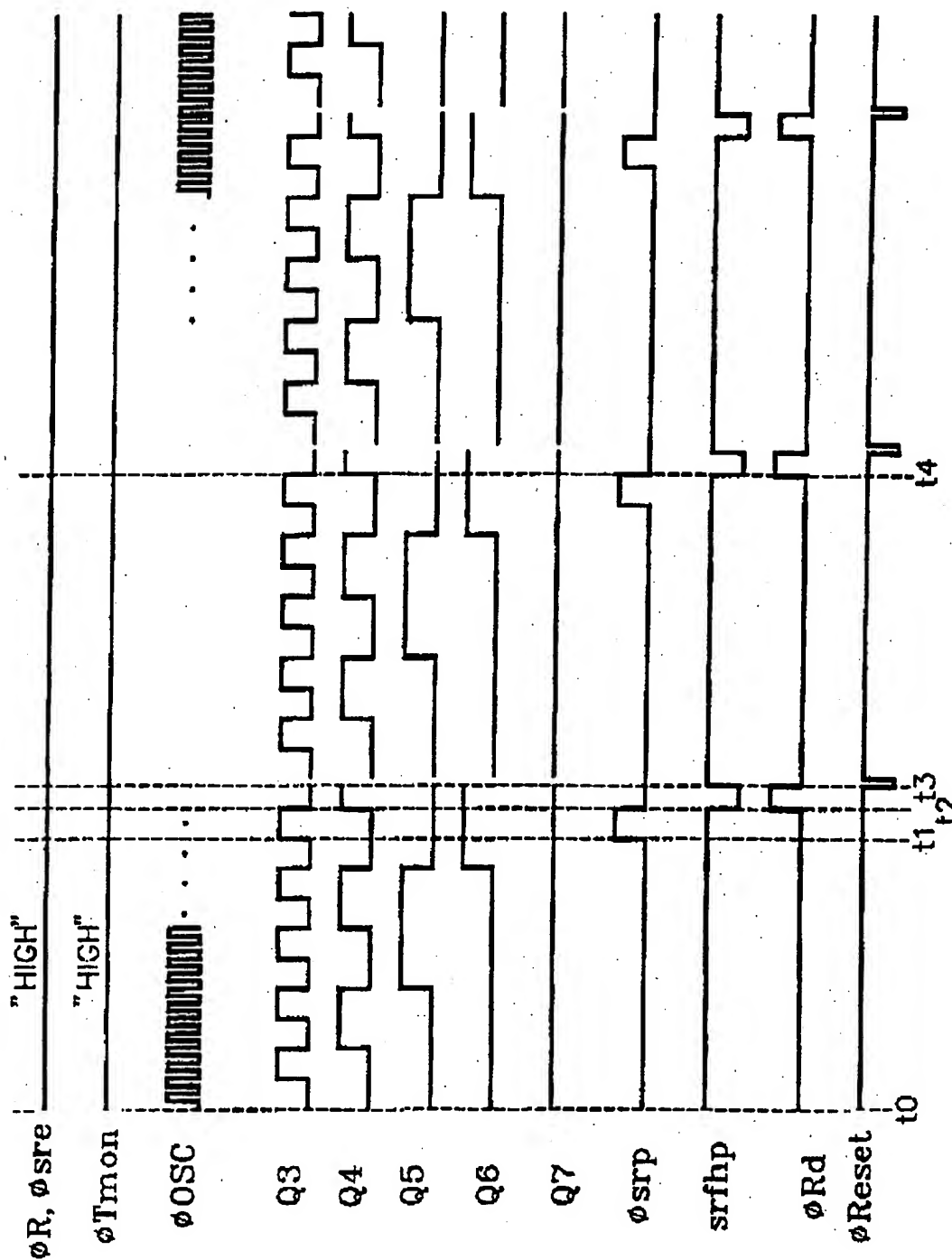


FIG. 7

THIS PAGE BLANK (USPTO)